



XA-9951
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Yoshinori SAKAMOTO et al.

Appln. No.: 10/700,592

Group Art Unit: 2818

Filed: November 5, 2003

For: NONVOLATILE MEMORY AND METHOD OF ERASING FOR
NONVOLATILE MEMORY

* * *

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

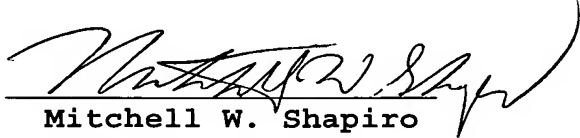
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese
Patent Application No. 2002-337111 filed November 20, 2002,
and submit herewith a certified copy of said application.

Respectfully submitted,

By:


Mitchell W. Shapiro
Reg. No. 31,568

MWS:sjk

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

March 19, 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月20日
Date of Application:

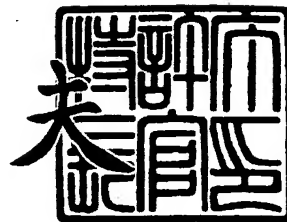
出願番号 特願2002-337111
Application Number:
[ST. 10/C]: [JP 2002-337111]

出願人 株式会社ルネサステクノロジ
Applicant(s):

2003年10月21日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 H02013871

【提出日】 平成14年11月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78 371

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 坂本 善▲徳▼

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 板東 達也

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびそのデータ消去方法

【特許請求の範囲】

【請求項 1】 複数の不揮発性メモリセルを有するメモリアレイ部と、制御部と、前記不揮発性メモリセルに供給する所定の電圧を供給する電圧生成部とを有し、

前記不揮発性メモリセルは、フローティングゲートに蓄積された電荷量に対応した記憶情報を有し、

前記制御部は、前記不揮発性メモリセルに情報を格納する書き込み動作、前記不揮発性メモリセルに格納した情報を読み出す読み出し動作、前記不揮発性メモリセルに格納した情報を消去する消去動作の各動作を制御し、

前記電圧生成部は、前記消去動作において前記不揮発性メモリセルに印加する消去電圧を前記制御部からの制御に応じて生成する消去電圧生成部を有し、

前記消去電圧生成部は、前記制御部から出力される制御信号に基づいて、2以上の異なる電圧レベルの消去電圧を生成し、前記不揮発性メモリセルのコントロールゲートに印加することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 複数の不揮発性メモリセルを有するメモリアレイ部と、制御部と、前記不揮発性メモリセルに供給する所定の電圧を供給する電圧生成部とを有し、

前記不揮発性メモリセルは、フローティングゲートに蓄積された電荷量に対応した記憶情報を有し、

前記制御部は、前記不揮発性メモリセルに情報を格納する書き込み動作、前記不揮発性メモリセルに格納した情報を読み出す読み出し動作、前記不揮発性メモリセルに格納した情報を消去する消去動作の各動作を制御し、

前記電圧生成部は、前記消去動作において前記不揮発性メモリセルに印加する消去電圧を前記制御部からの制御に応じて生成する消去電圧生成部を有し、

前記消去電圧生成部は、前記制御部から出力される制御信号に基づいて、前記不揮発性メモリセルのトンネル膜にかかる電圧を略一定にする2以上の異なる電圧レベルの消去電圧を生成し、前記不揮発性メモリセルのコントロールゲートに

印加することを特徴とする不揮発性半導体記憶装置。

【請求項 3】 請求項 1 または 2 記載の不揮発性半導体記憶装置において、前記消去電圧生成部が、前記 2 以上の異なる電圧レベルの消去電圧を前記不揮発性メモリセルのコントロールゲートに印加した後、消去ベリファイを行うことを特徴とする不揮発性半導体記憶装置。

【請求項 4】 請求項 1 ～ 3 のいずれか 1 項に記載の不揮発性半導体記憶装置において、前記消去電圧生成部が生成する消去電圧は、前記不揮発性メモリセルのコントロールゲートに最初に印加する電圧レベルが最も小さく、2 回目以降に印加される消去電圧は、前回に印加された消去電圧よりも電圧レベルが大きいことを特徴とする不揮発性半導体記憶装置。

【請求項 5】 フローティングゲートに蓄積された電荷量に対応した記憶情報を有する不揮発性メモリセルを有した不揮発性半導体記憶装置のデータ消去方法であって、

2 以上の異なる電圧レベルの消去電圧を切り替えながら前記不揮発性メモリセルのコントロールゲートに印加して前記不揮発性メモリセルのデータを消去する消去動作を行い、

前記消去動作においては、前記 2 以上の異なる電圧レベルの消去電圧がすべて印加されるまで消去ベリファイを行わないことを特徴とする不揮発性半導体記憶装置のデータ消去方法。

【請求項 6】 フローティングゲートに蓄積された電荷量に対応した記憶情報を有する不揮発性メモリセルを有した不揮発性半導体記憶装置のデータ消去方法であって、

前記不揮発性メモリセルのトンネル膜にかかる電圧を略一定にする 2 以上の異なる電圧レベルの消去電圧を切り替えながら前記不揮発性メモリセルのコントロールゲートに印加して前記不揮発性メモリセルのデータを消去する消去動作を行い、

前記消去動作においては、前記 2 以上の異なる電圧レベルの消去電圧がすべて印加されるまで消去ベリファイを行わないことを特徴とする不揮発性半導体記憶装置のデータ消去方法。

【請求項 7】 請求項 5 または 6 記載の不揮発性半導体記憶装置のデータ消去方法において、前記消去電圧は、前記不揮発性メモリセルのコントロールゲートに最初に印加する消去電圧の電圧レベルが最も小さく、2 回目以降に切り替わる消去電圧は、前回に印加された消去電圧よりも電圧レベルが大きいことを特徴とする不揮発性半導体記憶装置のデータ消去方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、不揮発性メモリにおける信頼性の向上技術に関し、特に、データの消去時のメモリセルのダメージ低減に適用して有効な技術に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、携帯電話をはじめとする携帯機器などの普及に伴い、データの大容量、低コスト化が急激に進む傾向にある。この新たな大容量化に対応する技術として、1 つのメモリセルに、ある電圧レベルのしきい値を複数設定し、2 ビット以上のデータを記憶させる多値記憶技術を用いた多値フラッシュメモリが知られている。

【 0 0 0 3 】

本発明者は、多値フラッシュメモリの書き込み動作に関し、特開 2 0 0 2 - 1 0 9 8 9 1 号公報（特許文献 1）の出願を行っている。この出願において発明者は、フラッシュメモリの書き込み動作において、偶発的に発生する過剰書き込み現象（エラティックエラー）の防止のため、消去状態のメモリセルに最初に印加する書き込み電圧パルスとして、短時間の電圧パルスをメモリセルのコントロールゲートに複数回印加する技術について記載している。

【 0 0 0 4 】

上記過剰書き込み現象は、消去状態のメモリセルに最初に書き込み電圧パルスを印加した際に発生することが多いことが見いだされている。そのことから消去状態のメモリセルに最初に印加する書き込み電圧パルスの印加時間を短くすることで、メモリセルのチャネル領域とコントロールゲート間に印加される高電界に

より生じる F N トンネル現象によりメモリセルの電荷蓄積領域に蓄積される電荷量を少なくすることができ、上記過剰書き込み現象が発生したとしても、大幅なしきい値電圧の変化を防ぐことができる。

【 0 0 0 5 】

また、特開平 1 0 - 2 7 4 8 6 号公報（特許文献 2）にも同様に、書き込み動作時の過剰書き込み現象に対する技術が記載されているが、特許文献 1 と特許文献 2 とを比較してみると、特許文献 1 における書き込み動作時のしきい値電圧の変化方向と特許文献 2 における消去動作時のしきい値電圧の変化方向が同じであり、特許文献 1 における消去動作時のしきい値電圧の変化方向と特許文献 2 における書き込み電圧のしきい値電圧の変化方向が同じであることがわかる。

【 0 0 0 6 】

このことから、しきい値電圧の変化方向にかかわらず、書き込み動作時の過剰書き込み現象は発生している。

【 0 0 0 7 】

一方、フラッシュメモリの消去動作においては、消去単位毎のメモリセルのコントロールゲートに消去電圧を印加し、メモリセルのチャネル領域とコントロールゲート間に印加される高電界により生じる F N トンネル現象により、メモリセルの電荷蓄積領域に蓄積された電荷をチャネル領域へ引き抜くことにより行う。

【 0 0 0 8 】

【特許文献 1】

特開 2 0 0 2 - 1 0 9 8 9 1 号公報

【 0 0 0 9 】

【特許文献 2】

特開平 1 0 - 2 7 4 8 6 号公報

【 0 0 1 0 】

【発明が解決しようとする課題】

ところが、上記のような半導体集積回路装置による消去技術では、次のような問題点があることが本発明者により見い出された。

【 0 0 1 1 】

前述した消去動作時において、メモリセルの各領域にかかる電界を検討してみると、電荷蓄積領域とチャネル間の絶縁膜に特に高電界が生じることになり、かかる高電界により電荷蓄積領域－チャネル間の絶縁膜にストレスが発生し、絶縁膜の劣化が生じてしまうという問題がある。これにより、フラッシュメモリの保証書き換え回数に制限が生じている。

【0012】

電荷蓄積領域－チャネル間の絶縁膜に生じる高電界とそれによる絶縁膜の劣化については上記特許文献1，2ともに言及していない。

【0013】

また、メモリセルの書き込み動作においては、1のワード線に接続されるメモリセルのうち、書き込み対称となるメモリセルに対してのみしきい値電圧の変化を生じさせようとするのであり、消去動作のように消去単位すべてのメモリセルのしきい値電圧に変化を生じさせるのではない。

【0014】

すなわち、本願発明の消去動作におけるワード線への印加電圧制御は、上記特許文献1，2による書き込み電圧のパルス幅の制御や書き込み対象メモリセルの選択とは異なるものである。

【0015】

本発明の目的は、メモリセルの書き換え回数を向上し、データ読み出しの信頼性を大幅に向上することのできる不揮発性半導体記憶装置、およびそのデータ消去方法を提供することにある。

【0016】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

1. 本発明の不揮発性半導体記憶装置は、複数の不揮発性メモリセルを有するメ

モリアレイ部と、制御部と、該不揮発性メモリセルに供給する所定の電圧を供給する電圧生成部とを有し、該不揮発性メモリセルは、フローティングゲートに蓄積された電荷量に対応した記憶情報を有し、制御部は、不揮発性メモリセルに情報を格納する書き込み動作、不揮発性メモリセルに格納した情報を読み出す読み出し動作、不揮発性メモリセルに格納した情報を消去する消去動作の各動作を制御し、電圧生成部は、消去動作において不揮発性メモリセルに印加する消去電圧を制御部からの制御に応じて生成する消去電圧生成部を有し、該消去電圧生成部は、制御部から出力される制御信号に基づいて、2 以上の異なる電圧レベルの消去電圧を生成し、不揮発性メモリセルのコントロールゲートに印加するものである。

【0 0 1 8】

また、本願のその他の発明の概要を簡単に示す。

2. 本発明の不揮発性半導体記憶装置は、複数の不揮発性メモリセルを有するモリアレイ部と、制御部と、不揮発性メモリセルに供給する所定の電圧を供給する電圧生成部とを有し、不揮発性メモリセルは、フローティングゲートに蓄積された電荷量に対応した記憶情報を有し、制御部は、不揮発性メモリセルに情報を格納する書き込み動作、不揮発性メモリセルに格納した情報を読み出す読み出し動作、不揮発性メモリセルに格納した情報を消去する消去動作の各動作を制御し、電圧生成部は、消去動作において不揮発性メモリセルに印加する消去電圧を制御部からの制御に応じて生成する消去電圧生成部を有し、該消去電圧生成部は、制御部から出力される制御信号に基づいて、不揮発性メモリセルのトンネル膜にかかる電圧を略一定にする 2 以上の異なる電圧レベルの消去電圧を生成し、不揮発性メモリセルのコントロールゲートに印加するものである。

3. 本発明の不揮発性半導体記憶装置のデータ消去方法は、2 以上の異なる電圧レベルの消去電圧を切り替えながら不揮発性メモリセルのコントロールゲートに印加して該不揮発性メモリセルのデータを消去する消去動作を行い、消去動作においては、2 以上の異なる電圧レベルの消去電圧がすべて印加されるまで消去ベリファイを行わないものである。

4. 本発明の不揮発性半導体記憶装置のデータ消去方法は、不揮発性メモリセル

のトンネル膜にかかる電圧を略一定にする 2 以上の異なる電圧レベルの消去電圧を切り替えながら不揮発性メモリセルのコントロールゲートに印加して不揮発性メモリセルのデータを消去する消去動作を行い、消去動作においては、2 以上の異なる電圧レベルの消去電圧がすべて印加されるまで消去ベリファイを行わないものである。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0020】

図 1 は、本発明の一実施の形態によるフラッシュメモリのブロック図、図 2 は、図 1 のフラッシュメモリに設けられた消去電圧切り替え回路の構成図、図 3 は、図 1 のフラッシュメモリに設けられたメモリセルの構成図、図 4 は、図 3 のメモリセルにおける各膜にかかる電圧の関係を示す説明図、図 5 は、図 3 のメモリセルにおける消去分布の説明図、図 6 は、図 1 のフラッシュメモリにおけるメモリセルの消去シーケンスのフローチャート、図 7～図 9 は、図 3 のメモリセルの消去動作におけるソフトイレース電圧設定の一例を示す説明図、図 10～図 13 は、図 3 のメモリセルの消去動作におけるソフトイレース電圧設定の他の例を示す説明図、図 14 は、比較例として本発明者が検討したメモリセルの消去時における電圧関係を示した説明図、図 15 は、図 14 のメモリセルにおけるばらつきを含めた消去特性の説明図、図 16 は、図 14 のメモリセルにおけるしきい値電圧の説明図、図 17 は、図 14 のメモリセルにおける消去時のフローティングゲート電圧の説明図、図 18 は、図 14 のメモリセルにおけるコントロールゲート／フローティングゲート間の電圧の説明図、図 19 は、本発明の一実施の形態によるソフトイレース電圧を分割数の異なるメモリセルのしきい値電圧の軌跡を比較した説明図、図 20 は、本発明の一実施の形態による消去時のソフトイレース電圧を分割数の異なるフローティングゲート電圧の軌跡を比較した説明図、図 21 は、本発明者が検討したメモリセルの消去と本実施の形態による 2 分割したソフトイレース電圧によるメモリセルの消去との高温放置リテンション特性を比較した試験データである。

【 0 0 2 1 】

本実施の形態において、フラッシュメモリ（不揮発性半導体記憶装置）1には、図1に示すように、ロジックコントロール2、および入出力コントロール回路3が設けられている。

【 0 0 2 2 】

ロジックコントロール2は、接続先となるマイクロコンピュータなどのホストから入力される制御用信号を一時的に格納し、動作ロジックの制御を行う。入出力コントロール回路3には、ホストから入出力されるコマンド、外部アドレス、プログラムデータなどの各種信号が入力され、制御用信号に基づいてコマンド、外部アドレス、データをそれぞれのコマンドレジスタ4、アドレスレジスタ5、データレジスタ／センスアンプ6に出力する。

【 0 0 2 3 】

アドレスレジスタ5には、カラムアドレスバッファ7、ならびにロウアドレスバッファ8が接続されている。これらカラムアドレスバッファ7、ロウアドレスバッファ8は、アドレスレジスタ5から出力されたアドレスを一時的に格納する。

【 0 0 2 4 】

カラムアドレスバッファ7には、カラムアドレスデコーダ9が接続されており、ロウアドレスバッファ8には、ロウアドレスデコーダ10が接続されている。カラムアドレスデコーダ9は、カラムアドレスバッファ7から出力されたカラムアドレスに基づいてデコードを行い、ロウアドレスデコーダ10は、ロウアドレスバッファ8から出力されたロウアドレスに基づいてデコードを行う。

【 0 0 2 5 】

ロジックコントロール2、コマンドレジスタ4には、制御回路（制御部）11が接続されており、この制御回路11によって、データレジスタ／センスアンプ6が制御されている。

【 0 0 2 6 】

データレジスタ／センスアンプ6、ロウアドレスデコーダ10には、電気的なデータの消去が可能であり、データの保存に電源が不要なメモリセルアレイ12

が接続されている。

【0027】

メモリセルアレイ 12 は、記憶の最小単位である不揮発性のメモリセル S（図 3）が規則正しくアレイ状に並べられている。このメモリセルアレイ 12 に設けられたメモリセル S は、たとえば、データの書き込み、消去を該メモリセル S のチャネル部全面でトンネル電流を流し、フローティングゲートにおける電荷の放出、注入することにより行っている。

【0028】

また、入出力コントロール回路 3 には、ベリファイ電圧生成部（電圧生成部）13 が接続されている。このベリファイ電圧生成部 13 は、ベリファイ動作に用いられるベリファイ電圧を生成、ならびに電圧制御してメモリセルアレイ 12 に供給する。

【0029】

さらに、ベリファイ電圧生成部 13 には、消去電圧切り替え回路（消去電圧生成部）14 が設けられている。消去電圧切り替え回路 14 は、図 2 に示すように、信号切り替え部 15、および消去電圧出力部 16 からなる。

【0030】

信号切り替え部 15 は、デコード信号に基づいて制御信号を出力する。デコード信号は、制御回路 11 に設けられた CPU 11a、ならびにデコーダ 11b によって生成される。I/O ポートを介して入力されたコマンドは、CPU 11a に入力され、該 CPU 11a によりコマンド信号がデコーダ 11b に出力される。この信号をデコーダ 11b がデコードして信号切り替え部 15 に出力する。

【0031】

消去電圧出力部 16 は、信号切り替え部 15 の制御信号に基づいて任意の消去電圧を出力し、ワード線電位として供給する。

【0032】

消去電圧出力部 16 は、トランジスタ $T_1 \sim T_n$ 、 $Tr_1 \sim Tr_n$ から構成されている。トランジスタ $T_1 \sim T_n$ は、それぞれダイオード接続されており、これらトランジスタ $T_1 \sim T_n$ が、それぞれベリファイ電圧生成部 13 が生成した

昇圧電圧とワード線との間に直列接続された構成となっている。

【0033】

トランジスタ $T_{r1} \sim T_{rn}$ の一方の接続部には、ベリファイ電圧生成部 13 が生成した昇圧電圧が供給されるように接続されている。トランジスタ T_{r1} の他方の接続部には、トランジスタ T_1 の一方の接続部が接続されており、トランジスタ $T_{r2} \sim T_{rn}$ の他方の接続部には、トランジスタ $T_2 \sim T_n$ の一方の接続部がそれぞれ接続されている。

【0034】

トランジスタ $T_{r1} \sim T_{rn}$ のゲートには、信号切り替え部 15 から出力される制御信号が入力されるように接続されている。

【0035】

そして、信号切り替え部 15 の制御信号によって任意のトランジスタ $T_{r1} \sim T_{rn}$ を選択して ON させることにより、昇圧電圧 $- (1.6V \times \text{トランジスタ } T_1 \sim T_n \text{ の段数})$ の消去電圧が出力される。

【0036】

メモリセルアレイ 12 に設けられたメモリセル S の構成について、図 3 を用いて説明する。

【0037】

メモリセル S は、たとえば、ソース SC、ドレイン D からなる拡散層と、それらソース SC / ドレイン D 間の半導体基板 W 上にトンネル膜を介してフローティングゲート FG が形成され、該フローティングゲート FG の上方には層間絶縁膜を介してコントロール CG が形成されたスタックド構造に構成されている。

【0038】

メモリセル S は、コントロールゲート CG にワード線電圧 V_{word} が印加され、高いエネルギー障壁に囲まれたフローティングゲート FG 中に電荷を保持することにより情報を記憶する。

【0039】

ここで、メモリセル S における各膜にかかる電圧の関係について説明する。

【0040】

図4 (a) に示すように、トンネル膜にかかる電圧を V_{fg} 、半導体基板 W ／コントロールゲート CG 間にかかる電圧を V_{cg} とすると、フローティングゲート FG ／コントロールゲート CG 間にかかる電圧は $V_{cg} - V_{fg}$ となる。

【0041】

よって、図4 (b) に示すように、トンネル膜にかかる電界 (V_{fg}) と層間絶縁膜にかかる電界 ($V_{cg} - V_{fg}$) は、フローティングゲート FG に保持されている電荷量とフローティングゲート FG を囲む各電位間の容量結合によって表される。

【0042】

また、メモリセル S の消去分布としては、図5に示すように、デプリート (いわゆる過剰消去) チェックレベル (デプリートチェック電圧 $V_{WV0} \sim +1V$) から、消去ベリファイレベル (消去ベリファイ電圧 $V_{EV} \sim 1.6V$) の範囲に揃える。

【0043】

図5で示した消去分布におけるメモリセル S の消去シーケンスを図6のフローチャートを用いて説明する。

【0044】

まず、消去動作がスタートすると、最初の消去ベリファイを行う (ステップ $S101$)。このとき、メモリセル S が消去されている場合には、正常終了となる。また、メモリセル S が消去されていない場合、メモリセル S の消去を行う (ステップ $S102$)。

【0045】

このステップ $S102$ の処理においては、任意の異なる電圧レベル (たとえば8つの電圧レベル) からなる電圧を切り替えながらコントロールゲート電圧 V_{cg} (=ソフトイレース電圧 (消去電圧) $V_{EW}(0) \sim V_{EW}(N)$) としてメモリセル S のコントロールゲート CG に印加する。

【0046】

消去電圧の切り替えは、メモリセル S のフローティングゲート FG に蓄積されている電荷量に応じて行い、該メモリセル S のトンネル膜にかかる電圧が略一定

となるようにする。

【0047】

I/Oピンを介して消去コマンドが受け付けられると、CPU11a（図2）が制御信号をデコーダ11b（図2）に出力し、そのデコード信号に基づいて消去電圧切り替え回路14（図2）がある電圧のソフトイレース電圧VEW（0）を生成し、ワード線に供給する。その後、順次、電圧の異なるソフトイレース電圧VEW（1）～VEW（N）に切り替えながらメモリセルSのコントロールゲートCGに印加してイレースを行う。

【0048】

メモリセルSの消去が終了すると、再び消去ベリファイを行い（ステップS103）、メモリセルSが消去されている場合には、デプリートチェックを行う（ステップS104）。

【0049】

メモリセルSが消去されていない場合には、メモリセルSが消去されるまでステップS102、S103の処理を繰り返し行う。2回目以降のステップS102における処理は、たとえば、最終的に印加したソフトイレース電圧VEW（N）だけを印加時間を可変して印加したり、あるいはソフトイレース電圧VEW（N）と同じ程度の電圧から、該ソフトイレース電圧VEW（N）よりも高い電圧を徐々に切り替えながら印加するようにしてもよい。

【0050】

ステップS104のデプリートチェックが正常であると、消去分布の上裾チェックを行い（ステップS105）、正常であると終了となる。デプリートチェックで異常があると、書き込みデータをセットして（ステップS106）、再びメモリセルSにデータを書き込み（ステップS107）、書き込みベリファイを行う（ステップS108）。

【0051】

ステップS108の書き込みベリファイが正常となると、ステップS105の処理を行い正常の場合には正常終了となり、異常の場合には強制終了となる。ステップS108の書き込みベリファイが異常の際には、再び書き込みパルスをセ

ットする（ステップ S109）。ステップ S107、S109 の処理は、ステップ S108 の書き込みベリファイが正常になるまで繰り返し行われる。

【0052】

次に、図6のステップ S102 に示したメモリセル S の消去動作におけるソフトイレース電圧 $V_{EW}(0) \sim V_{EW}(N)$ の設定技術について説明する。

【0053】

始めに、消去時間（ $= t_{EP}$ ）の最遅ビット（メモリ消去特性が最も遅いビット）を $t_{EP}/N (= 100 \mu s / N)$ で消去するシーケンスについて、図7～図9を用いて説明する。これら図7～図9においては、縦軸にメモリセル S のしきい値電圧 V_{th} を示し、横軸に度数を示している。

【0054】

まず、図7に示すように、メモリセル S のしきい値電圧 V_{th} 分布の振幅（ $= V_{WV} - V_{EV} = \Delta V_{th}$ ）と消去時間 $t_{EP} (= 100 \mu s)$ を N 分割し、各しきい値電圧 V_{th} を高い方から、しきい値電圧 $V_{th}(0)$ （ $=$ デプリートチェック電圧 $V_{WV} - \Delta V_{th}/N$ ）、しきい値電圧 $V_{th}(1) = V_{th}(0) - \Delta V_{th}/N \sim$ しきい値電圧 $V_{th}(N-1) = V_{th}(N-1) - \Delta V_{th}/N$ と最小印加パルス幅（ t_{EP}/N ）を決める。

【0055】

そして、図8に示すように、 $N-1$ 回目にくる最遅ビットのしきい値電圧 $V_{th}(N-1)$ を t_{EP}/N の時間で、しきい値電圧 $V_{th}(N)$ まで消去できるコントロールゲート電圧 V_{cg} を設定（ $=$ ソフトイレース電圧 $V_{EW}(N)$ ）し、その際のフローティングゲート電圧 V_{fg} を計算する。

【0056】

これにより、図9に示すように、フローティングゲート電圧 V_{fg} を一定に保つように各しきい値電圧 $V_{th}(0) \sim V_{th}(N-1)$ の電圧（ $=$ ソフトイレース電圧 $V_{EW}(1) \sim V_{EW}(N-1)$ ）を設定する。

【0057】

また、消去時間の t_{yp} （標準）ビットを消去時間 $t_{EP}/2 (= 50 \mu s)$ 、分割数 $N-1$ で消去した後、残り消去時間 $t_{EP}/2 (= 50 \mu s)$ で最遅ビ

ットまで消去するソフトイレース電圧 $V_{EW}(0) \sim V_{EW}(N)$ の設定技術について、図 10～図 13 を用いて説明する。これら図 10～図 13 においても、縦軸にメモリセル S のしきい値電圧 V_{th} を示し、横軸に度数を示している。

【0058】

まず、図 10 に示すように、しきい値電圧 V_{th} 分布の振幅 ($=V_{WV}-V_{EV}=\Delta V_{th}$) と消去時間 t_{EP} を N 分割し、各しきい値電圧 V_{th} の高い方からしきい値電圧 $V_{th}(0)$ ($=V_{WV}-\Delta V_{th}/N$)、しきい値電圧 $V_{th}(1)=V_{th}(0)-\Delta V_{th}/N \sim$ しきい値電圧 $V_{th}(N-1)=V_{th}(N-1)-\Delta V_{th}/N$ と最小印加パルス幅 ($t_{EP}/2/(N-1)$) を決める。

【0059】

図 11 に示すように、 $N-2$ 回目にくる t_{yp} ビットのしきい値電圧 $V_{th}(N-2)$ をしきい値電圧 $V_{th}(N-1)$ まで消去時間 $t_{EP}/2/(N-1)$ の時間で消去できるコントロールゲート電圧 V_{cg} を設定する。その際、フローティングゲート電圧 V_{fg} を計算する。

【0060】

そして、図 12 に示すように、フローティングゲート電圧 V_{fg} を一定に保つように各々のしきい値電圧 $V_{th}(0) \sim (N-2)$ のコントロールゲート電圧 V_{cg} ($=$ ソフトイレース電圧 $V_{EW}(1) \sim V_{EW}(N-2)$) を設定し、また、図 13 に示すように、最遅ビットを $t_{EP}/2$ ($=50 \mu s$) で消去できるコントロールゲート電圧 V_{cg} を設定する。

【0061】

次に、比較例として本発明者が検討したメモリセル S10 のデータ消去方法について、図 14～図 18 を用いて説明する。

【0062】

図 14 は、メモリセル S10 における消去時の電圧関係を示した説明図である。メモリセル S10 は、メモリセル S (図 3) と同様に、ソース SC10、ドレイン D10 からなる拡散層と、それらソース SC10/ドレイン D10 間の半導体基板 W10 上にトンネル膜を介してフローティングゲート FG10 が形成され

、該フローティングゲート FG10 の上方には層間絶縁膜を介してコントロール CG10 が形成された構成からなる。

【0063】

消去を行う際には、コントロールゲート CG10 に対して負電圧（ $\sim -16\text{ V}$ 程度）、半導体基板 W10 に対して正電圧（ $\sim 0\text{ V} \sim 2\text{ V}$ ）を印加することで、フローティングゲート FG10 中の電子をトンネル膜を介して放出する。

【0064】

図15は、メモリセル S10 のばらつきを含めた消去特性を示した説明図である。図15においては、縦軸にメモリセル S10 のしきい値電圧 V_{th} (V) を示し、横軸に消去時間 t_{EP} を示している。

【0065】

この場合、コントロールゲート電圧 V_{cg} が $\sim -16\text{ V}$ 程度、基板電圧 V_{well} が $\sim 2\text{ V}$ 程度で、メモリ消去特性が最も遅い最遅ビットが消去ベリファイを通過するまで、消去／ベリファイを繰り返す。

【0066】

そこで、図示するようにベリファイ回数による消去時間の増加を低減するために、長いパルスを印加して消去を行っていた。たとえば、消去時間 t_{EP} ($= 100\text{ }\mu\text{s}$) のパルスを印加して、ベリファイ回数は1回である。

【0067】

また、図16～図18は、この消去動作において、 t_{yp} ビットメモリセルのメモリしきい値電圧の軌跡とトンネル膜、および層間絶縁膜が感じる電界の軌跡を示した説明図である。

【0068】

図16に示す消去時間 t_{EP} ($\sim 20\text{ }\mu\text{s}$ まで) のしきい値電圧ベリファイレベルを通過するまでの間には、図17、図18に示すように、トンネル膜、ならびに層間絶縁膜に高い電界がかかり、その後、最遅ビットが消去ベリファイを通過するまで ($t_{EP} \sim 100\text{ }\mu\text{s}$) 定常的に電界がかかり続ける。

【0069】

これにより、メモリセル S10 のトンネル膜、層間絶縁膜にダメージが生じて

しまい、書き込まれたデータのしきい値電圧が下がり、読み出し不良が発生してしまう恐れがある。

【0070】

図19、図20は、本発明によるソフトイレース電圧 V_{EW} を2つ電圧レベル（2分割）、および8つの電圧レベル（8分割）にしてメモリセルSに印加した際の消去に関する t_{yp} ビットメモリセルのしきい値電圧の軌跡とトンネル膜、および層間絶縁膜が感じる電界の軌跡との説明図である。

【0071】

図19に示すように、消去初期（ $t_{EP} \sim 20 \mu s$ まで）のしきい値電圧がベリファイレベルを通過するまでの間にかかる電界を緩和し、その後、最遅ビットが消去ベリファイを通過するまで（ $t_{EP} \sim 100 \mu s$ ）定常的に電界がかかり続けることになるので層間絶縁膜電界を緩和することができる。

【0072】

また、図20に示すように、8分割したソフトイレース電圧 V_{EW} の場合は、2分割したソフトイレース電圧 V_{EW} の場合に比べてメモリセルSのフローティングゲート電圧 V_{fg} を一定することができ、より層間絶縁膜電界を緩和することができる。

【0073】

図21は、本発明者が検討したメモリセルS10の消去と本発明による2分割したソフトイレース電圧 V_{EW} によるメモリセルSの消去との高温放置リテンション特性を比較した試験データである。

【0074】

図示するように、本発明によるメモリセルSの消去方式では、30万回書き換え後であってもデータの10万時間保持が可能となっており、フラッシュメモリ1の書き換え保証回数を大幅に向上することができる。

【0075】

それにより、本実施の形態によれば、消去動作によるメモリセルSのトンネル膜、および層間絶縁膜にかかる電界を緩和することができるので、該メモリセルSの書き換え回数の向上、ならびにデータの読み出し不良を防止し、フラッシュ

メモリ 1 の信頼性を向上することができる。

【0076】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0077】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0078】

(1) 消去動作時に不揮発性メモリセルにかかるストレスを大幅に低減することができる。

【0079】

(2) 上記(1)により、不揮発性半導体記憶装置の信頼性を向上することができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態によるフラッシュメモリのブロック図である。

【図2】

図1のフラッシュメモリに設けられた消去電圧切り替え回路の構成図である。

【図3】

図1のフラッシュメモリに設けられたメモリセルの構成図である。

【図4】

図3のメモリセルにおける各膜にかかる電圧の関係を示す説明図である。

【図5】

図3のメモリセルにおける消去分布の説明図である。

【図6】

図1のフラッシュメモリにおけるメモリセルの消去シーケンスのフローチャートである。

【図 7】

図 3 のメモリセルの消去動作におけるソフトイレース電圧設定の一例を示す説明図である。

【図 8】

図 7 に続くソフトイレース電圧設定の一例を示す説明図である。

【図 9】

図 8 に続くソフトイレース電圧設定の一例を示す説明図である。

【図 10】

図 3 のメモリセルの消去動作におけるソフトイレース電圧設定の他の例を示す説明図である。

【図 11】

図 10 に続くソフトイレース電圧設定の他の例を示す説明図である。

【図 12】

図 11 に続くソフトイレース電圧設定の他の例を示す説明図である。

【図 13】

図 12 に続くソフトイレース電圧設定の他の例を示す説明図である。

【図 14】

比較例として本発明者が検討したメモリセルの消去時における電圧関係を示した説明図である。

【図 15】

図 14 のメモリセルにおけるばらつきを含めた消去特性の説明図である。

【図 16】

図 14 のメモリセルにおけるしきい値電圧の説明図である。

【図 17】

図 14 のメモリセルにおける消去時のフローティングゲート電圧の説明図である。

【図 18】

図 14 のメモリセルにおけるコントロールゲート／フローティングゲート間の電圧の説明図である。

【図 19】

本発明の一実施の形態によるソフトイレース電圧を分割数の異なるメモリセルのしきい値電圧の軌跡を比較した説明図である。

【図 20】

本発明の一実施の形態による消去時のソフトイレース電圧を分割数の異なるフローティングゲート電圧の軌跡を比較した説明図である。

【図 21】

本発明者が検討したメモリセルの消去と本実施の形態による 2 分割したソフトイレース電圧によるメモリセルの消去との高温放置リテンション特性を比較した試験データである。

【符号の説明】

- 1 フラッシュメモリ（不揮発性半導体記憶装置）
- 2 ロジックコントロール
- 3 入出力コントロール回路
- 4 コマンドレジスタ
- 5 アドレスレジスタ
- 6 データレジスタ／センスアンプ
- 7 カラムアドレスバッファ
- 8 ロウアドレスバッファ
- 9 カラムアドレスデコーダ
- 10 ロウアドレスデコーダ
- 11 制御回路（制御部）
 - 11a CPU
 - 11b デコーダ
- 12 メモリセルアレイ
- 13 ベリファイ電圧生成部（電圧生成部）
- 14 消去電圧切り替え回路（消去電圧生成部）
- 15 信号切り替え部
- 16 消去電圧出力部

S メモリセル (不揮発性メモリセル)

T 1 ~ T n , T r 1 ~ T r n トランジスタ

S C ソース

D ドレイン

W 半導体基板

F G フローティングゲート

C G コントロール

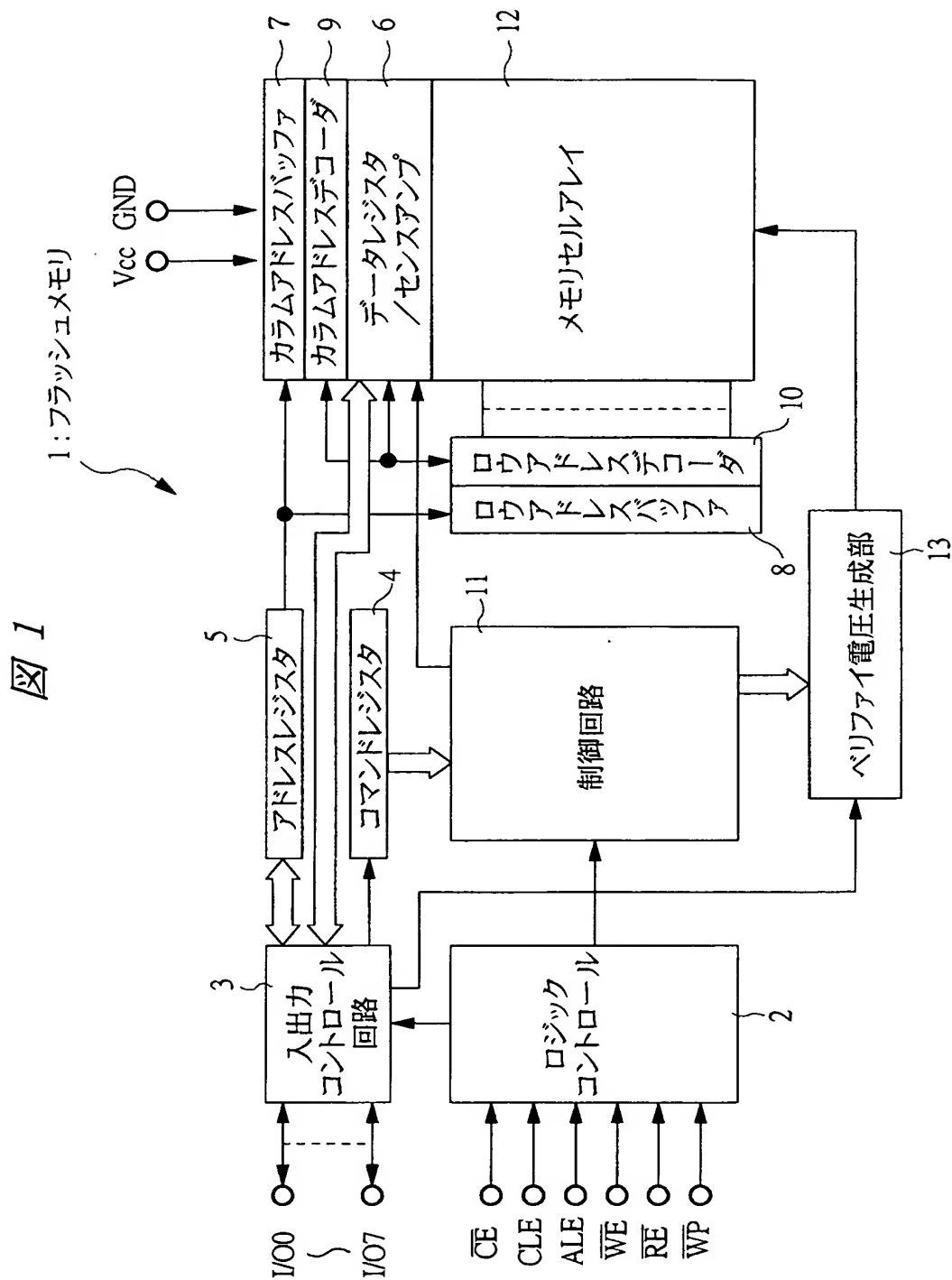
V E W (0) ~ V E W (N) ソフトイレース電圧 (消去電圧)

V W V デプリートチェック電圧

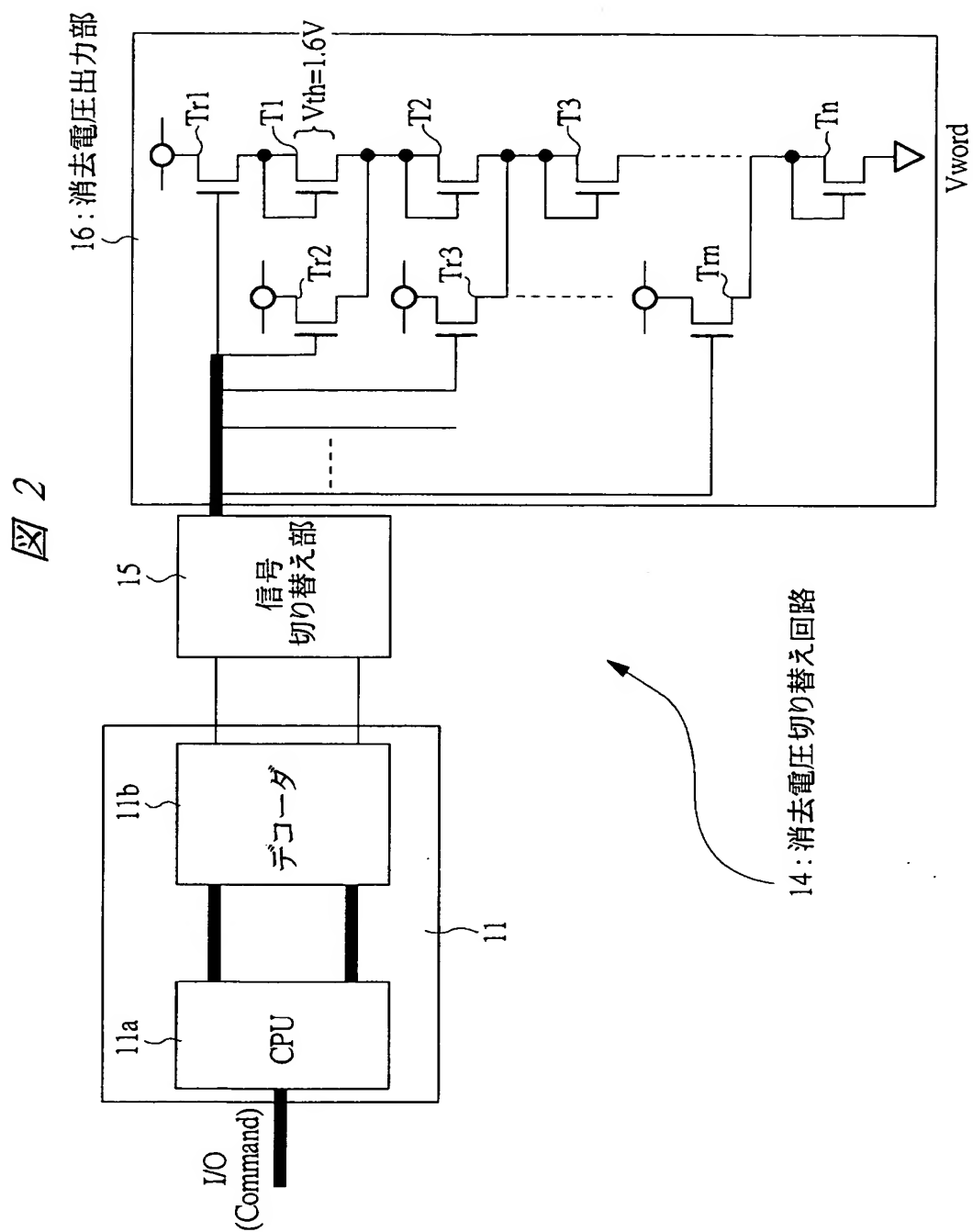
【書類名】

図面

【図 1】

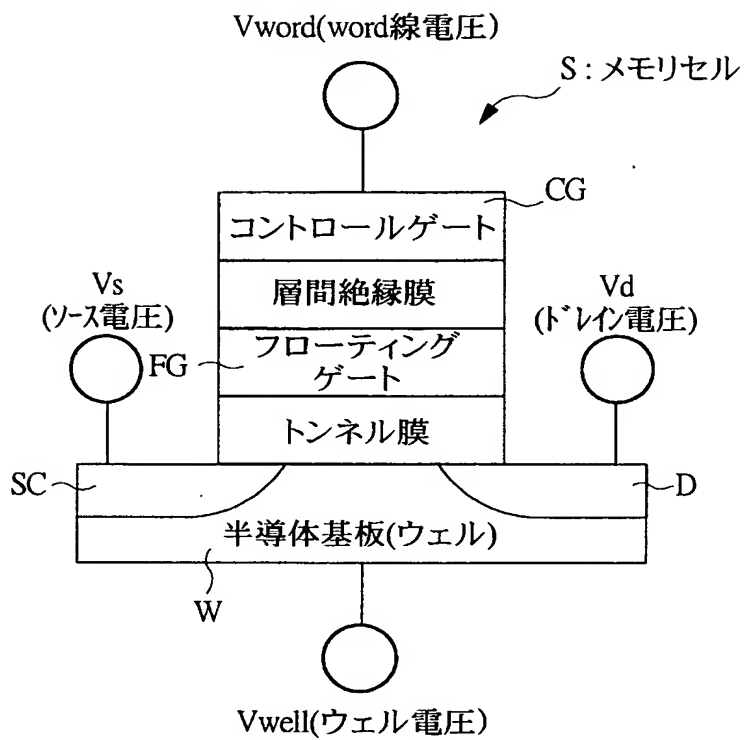


【図 2】

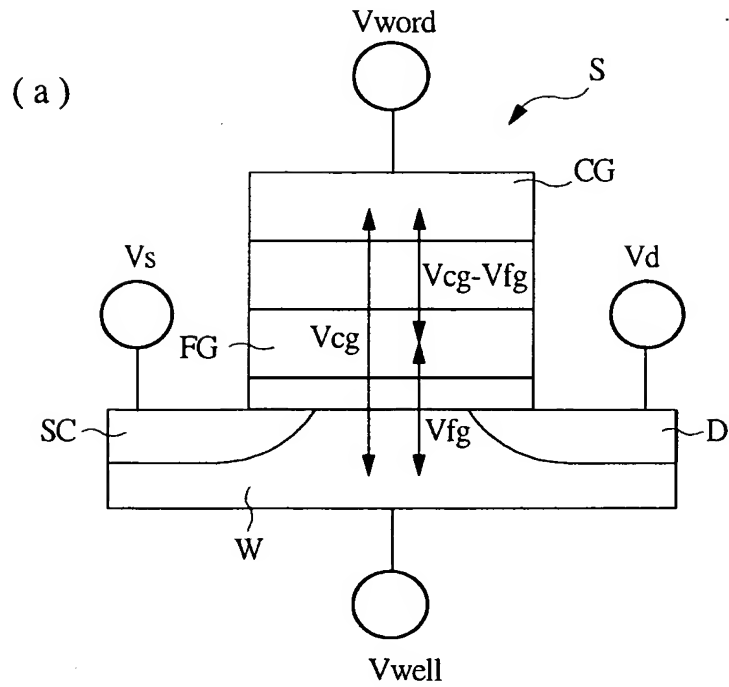


【図 3】

図 3

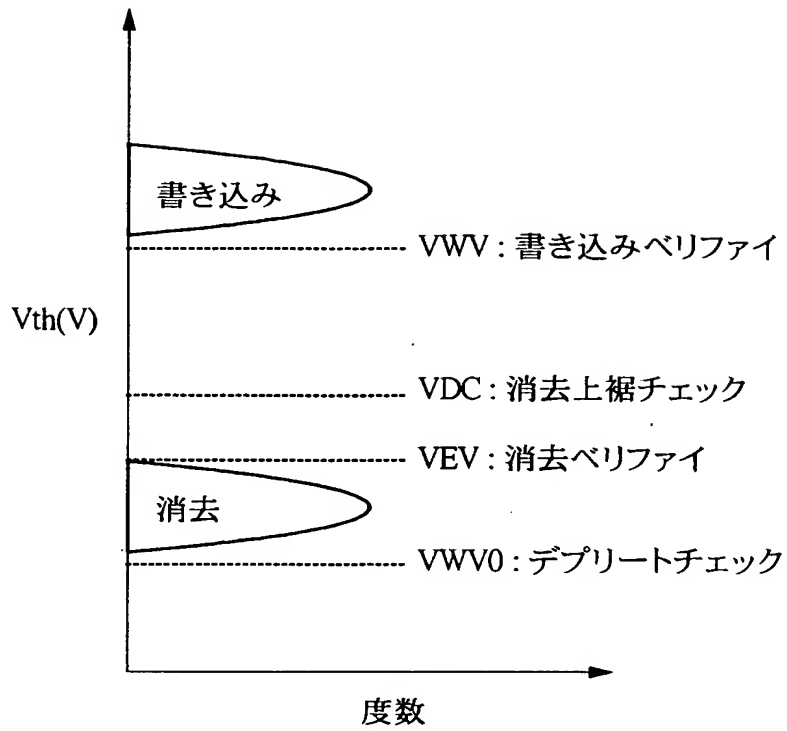


【図 4】

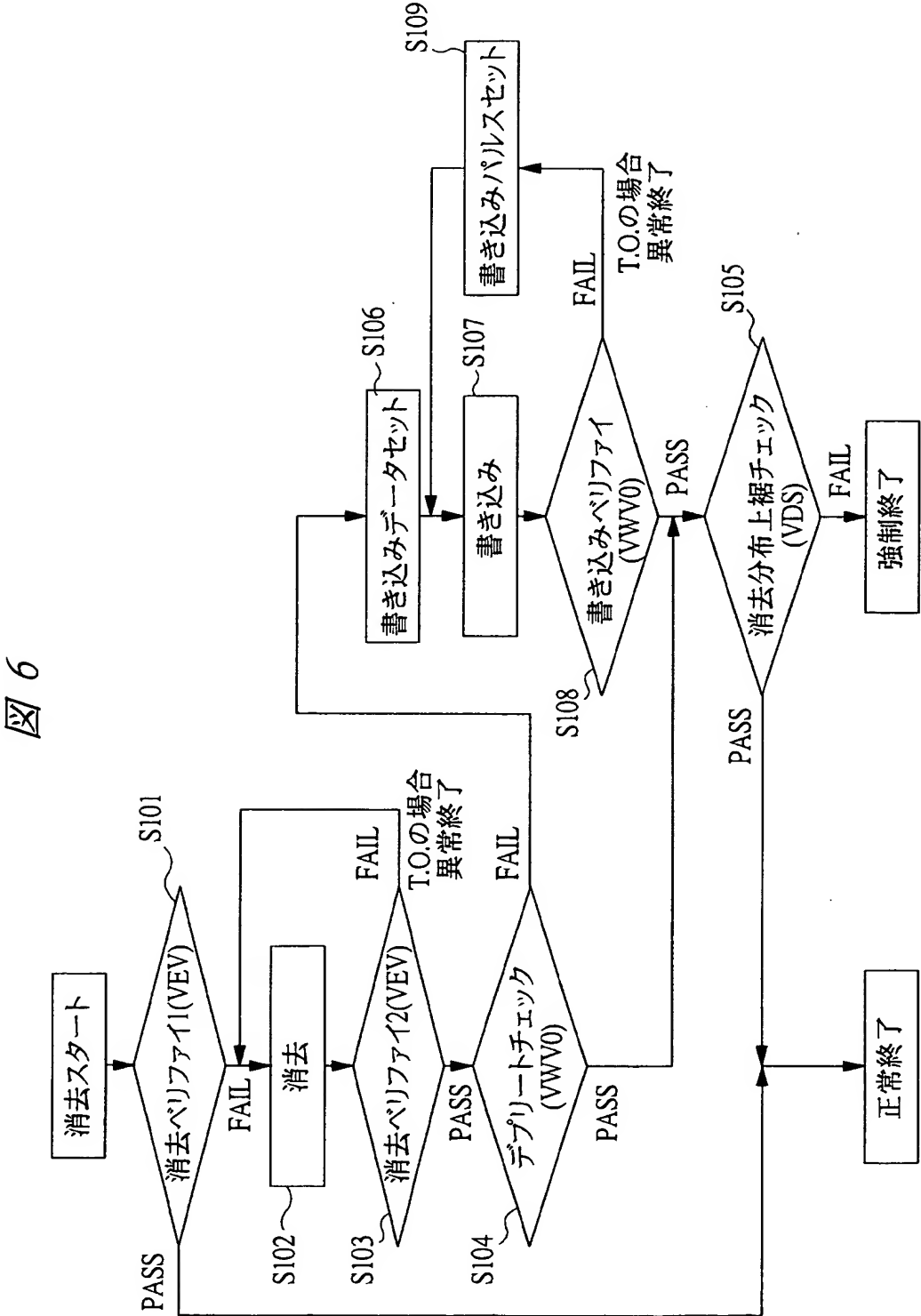


【図 5】

図 5

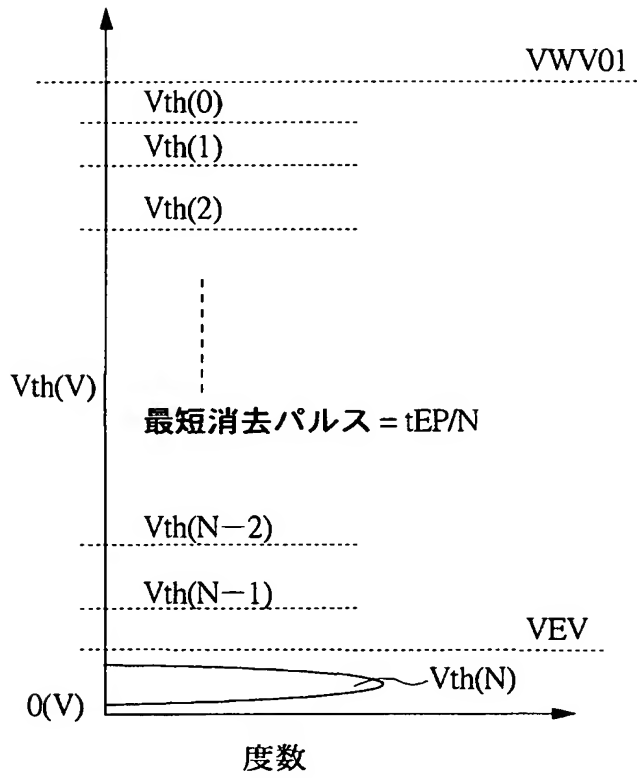


【図 6】



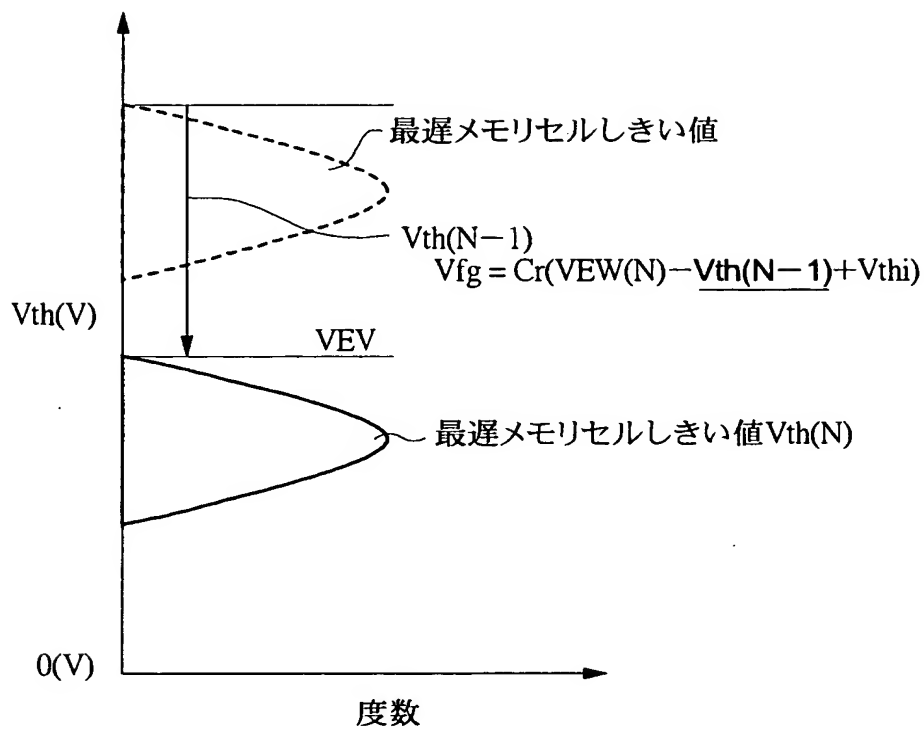
【図 7】

図 7



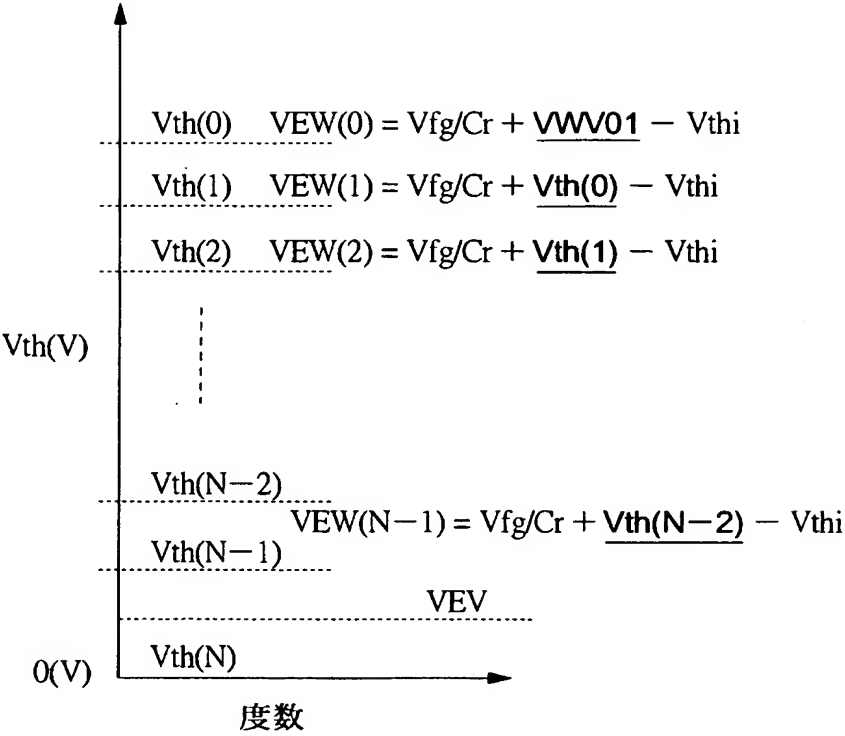
【図 8】

図 8



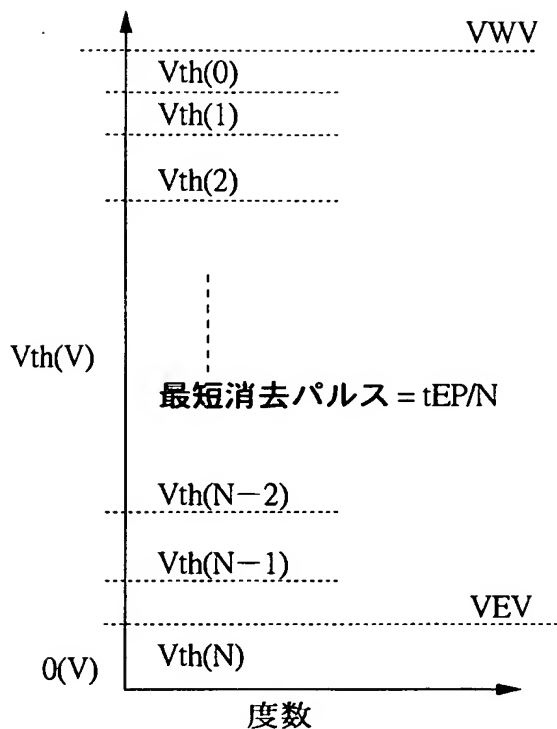
【図 9】

図 9



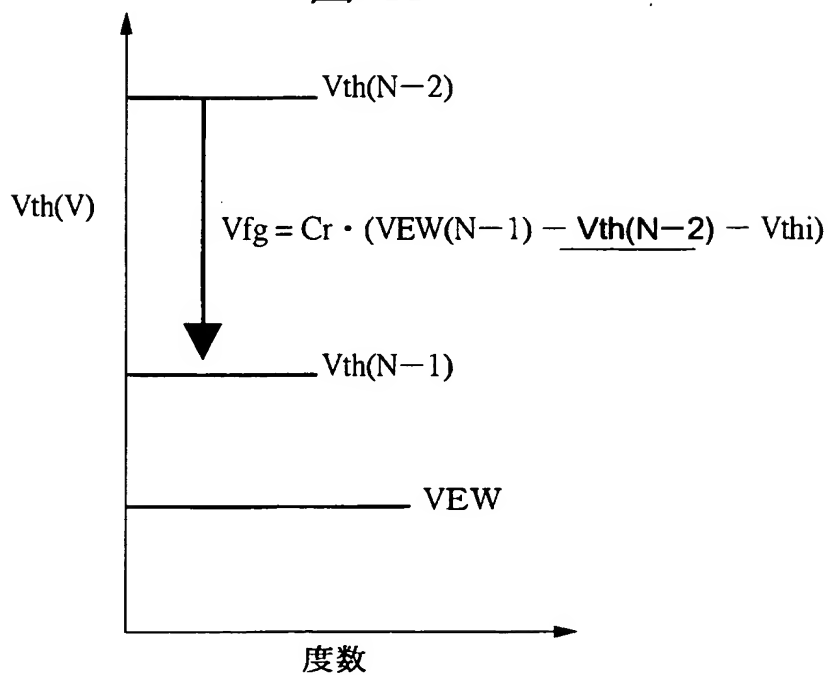
【図 1 0】

図 10



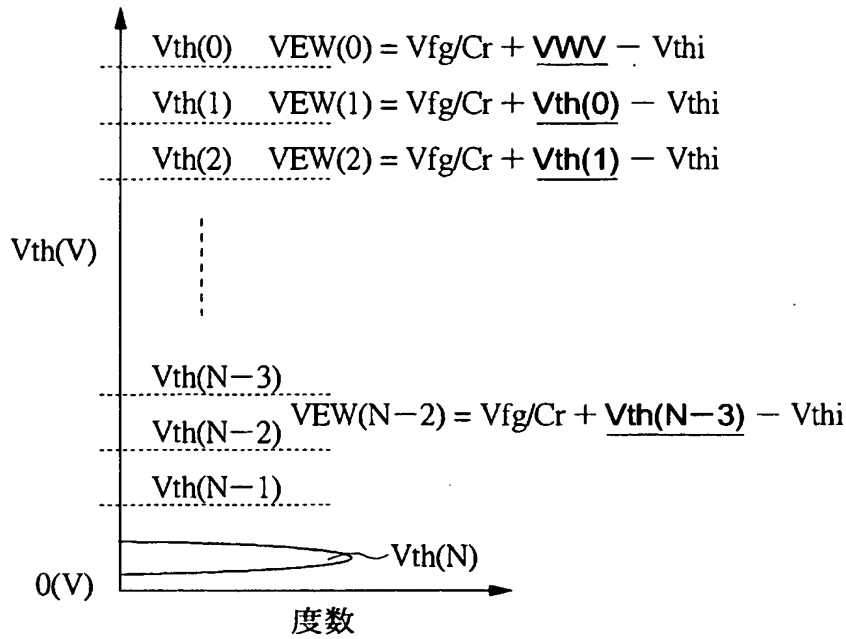
【図 1 1】

図 11



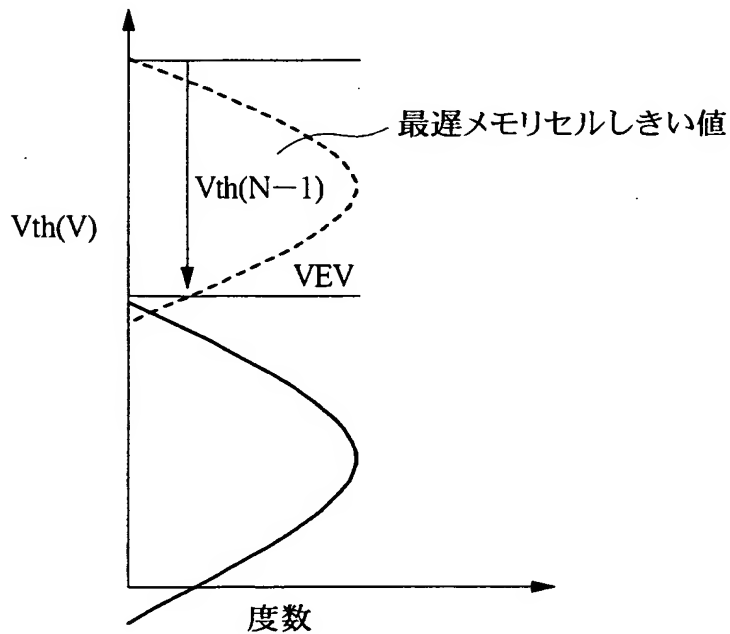
【図 1 2】

図 12

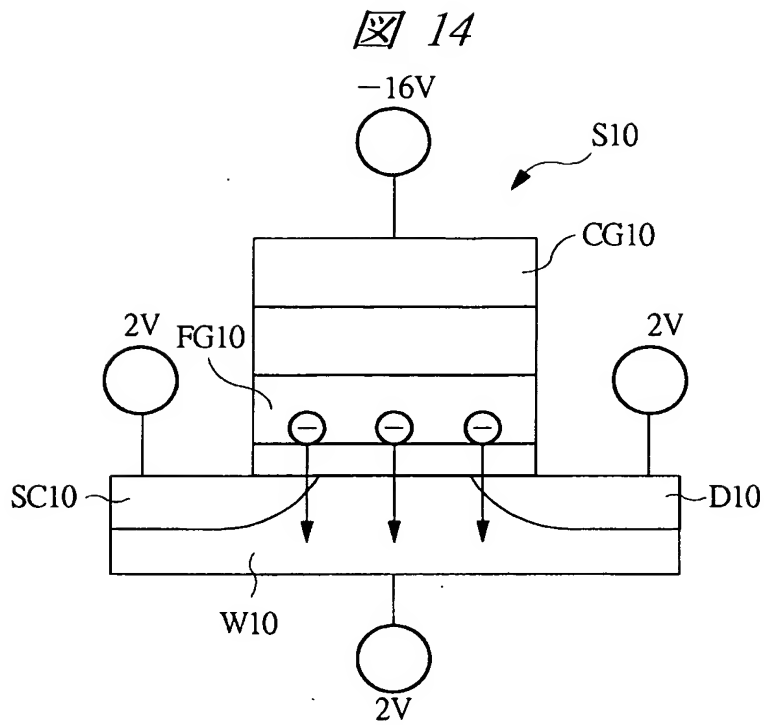


【図 1 3】

図 13

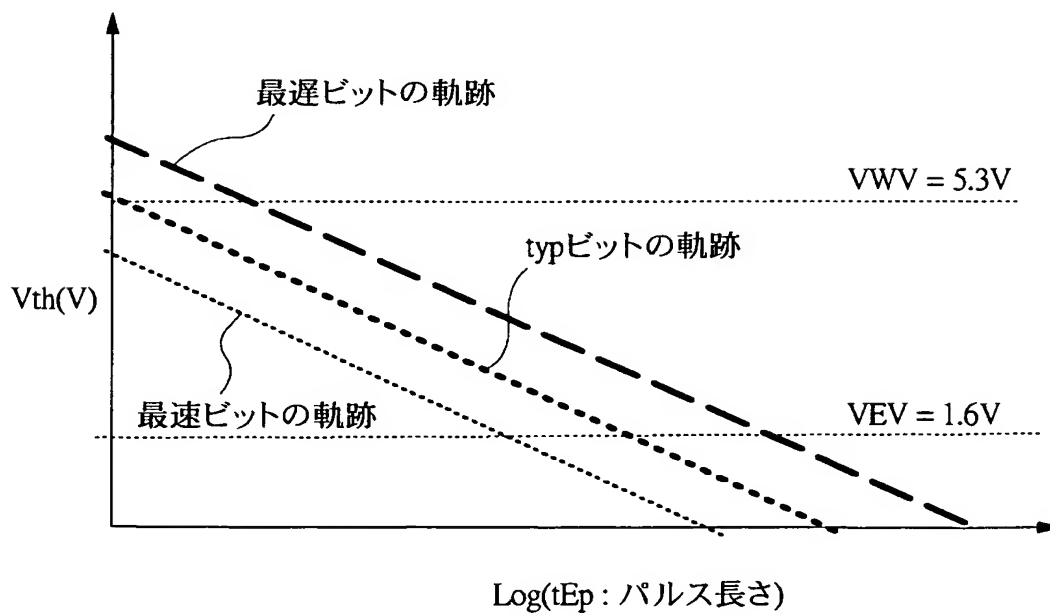


【図 14】



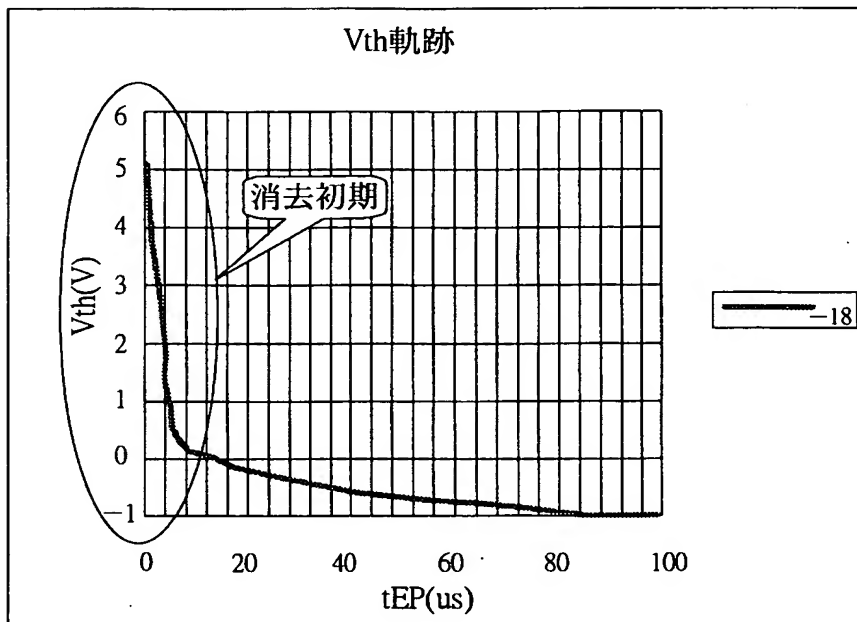
【図 15】

図 15



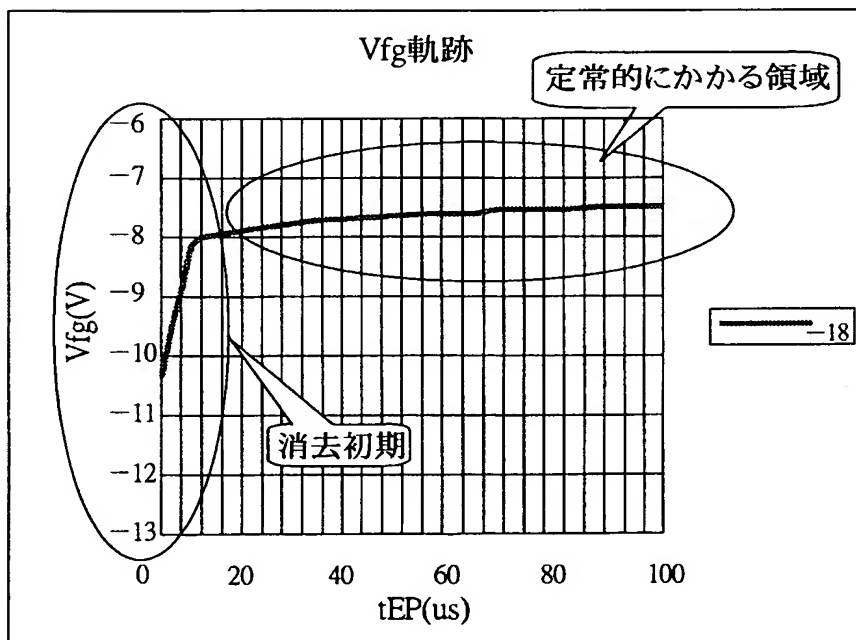
【図 16】

図 16



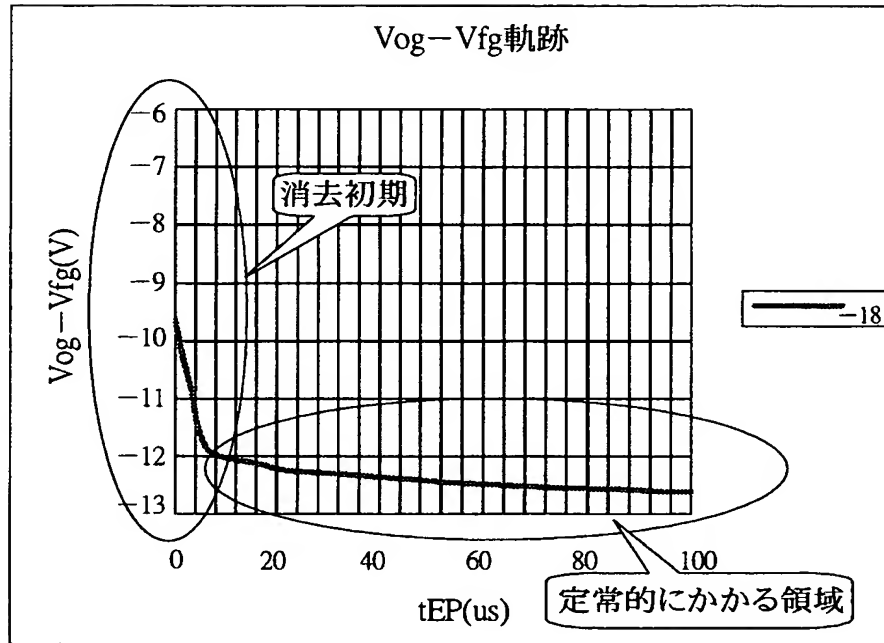
【図 17】

図 17



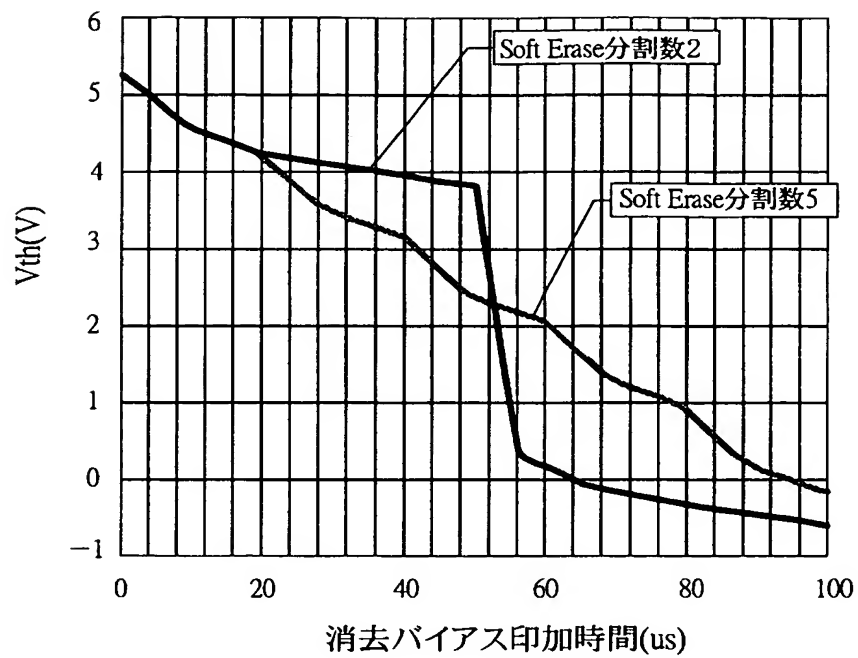
【図 18】

図 18



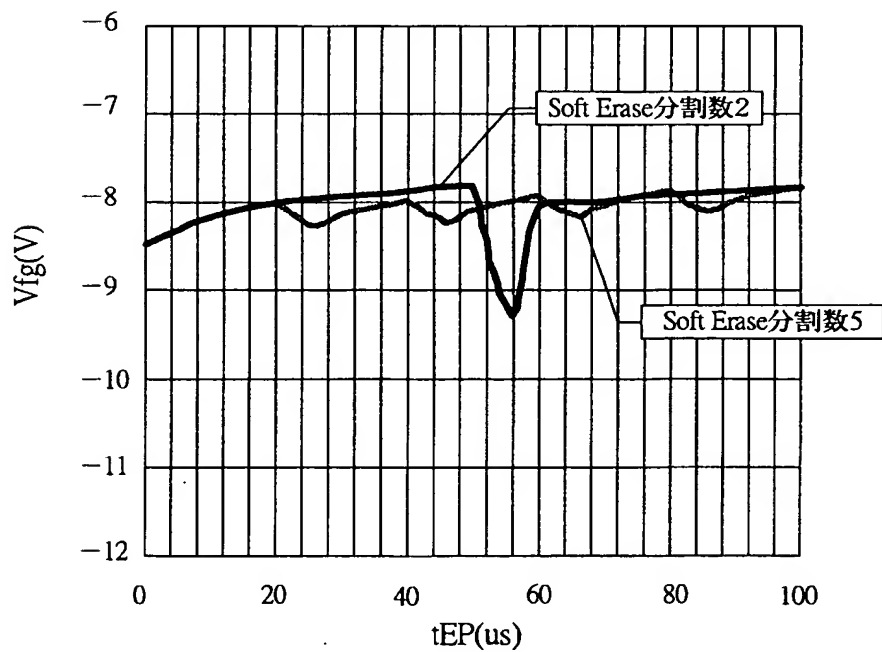
【図 19】

図 19



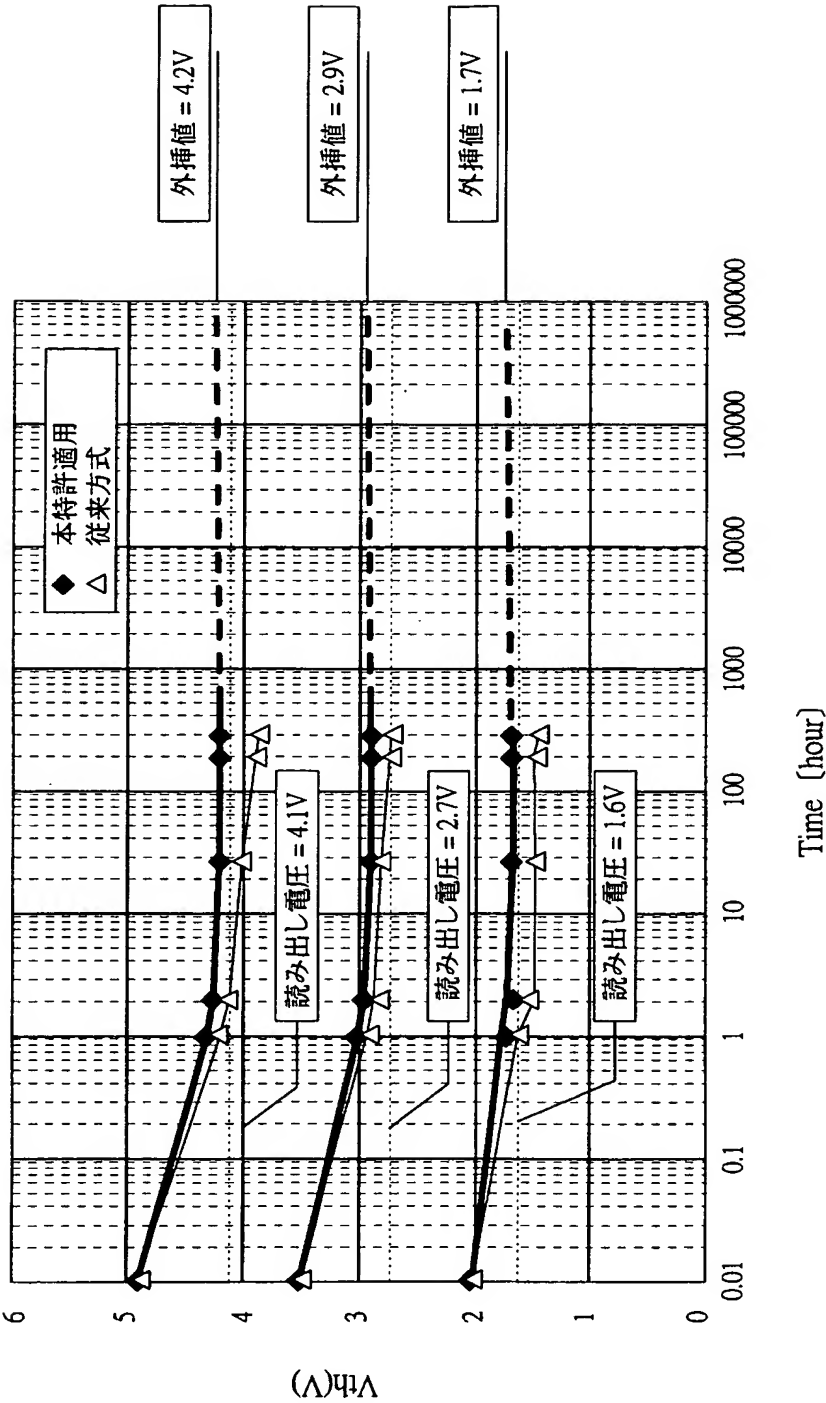
【図 20】

図 20



【図 21】

図 21



【書類名】 要約書

【要約】

【課題】 メモリセルの書き換え回数を向上し、データ読み出しの信頼性を大幅に向上する。

【解決手段】 メモリセルの消去を行う場合、任意の異なる電圧レベルからなる電圧を切り替えながらコントロールゲート電圧（＝ソフトイレース電圧）としてメモリセルのコントロールゲートに印加する消去電圧の切り替えは、メモリセルのフローティングゲートに蓄積された電荷量に応じて行い、該メモリセルのトンネル膜にかかる電圧が略一定となるようにする。消去コマンドを受け付けると、CPU 1 1 a が制御信号をデコーダ 1 1 b に出力し、そのデコード信号に基づいて消去電圧切り替え回路 1 4 がある電圧のソフトイレース電圧を生成する。その後、順次、電圧の異なるソフトイレース電圧に切り替えながらメモリセルのイレースを行う。メモリセルの消去が終了すると、消去ベリファイを行う。

【選択図】 図 2

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-337111

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 3 7 1 1 1
受付番号	5 0 3 0 1 1 9 4 8 2 3
書類名	出願人名義変更届 (一般承継)
担当官	田丸 三喜男 9 0 7 9
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】	平成 1 5 年 7 月 1 8 日
-------	--------------------

特願 2 0 0 2 - 3 3 7 1 1 1

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 3 7 1 1 1

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ